

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-003433

(43)Date of publication of application : 08.01.1992

(51)Int.Cl.

H01L 21/337
H01L 29/808

(21)Application number : 02-103987

(71)Applicant : VICTOR CO OF JAPAN LTD

(22)Date of filing : 19.04.1990

(72)Inventor : SOMA YUICHI

(54) CHEMICAL COMPOUND SEMICONDUCTOR JUNCTION TYPE FET

(57)Abstract:

PURPOSE: To enable a gate withstand voltage to be increased and a gate junction capacity to be reduced for reducing noise by allowing an impurity concentration of an active layer on a semi-insulation substrate side to be at a higher than that on a surface side of this active layer.

CONSTITUTION: In a chemical compound semiconductor junction FET 1, a high-resistance buffer layer 3 is subjected to epitaxial growth on a surface of a semi-insulation crystalline substrate 2 consisting of GaAs and then an N-type lower layer 4a with a high impurity concentration and an upper layer 4b with a lower impurity concentration than that of the lower layer 4a are subjected to epitaxial growth on it, thus forming an active layer 4. Then, an N⁺ contact layer 5 is formed on the active layer 4. Then, after eliminating the N⁺ contact layer 5 at those other than regions which become a source and a drain by etching, an insulator film 6 such as SiN is formed on the entire surface. A window is provided on the insulator film 6 and an impurity is diffused from this opening to the active layer 4, thus forming a P-type gate region 7. Then, after forming a gate electrode 8 on the region 7, an opening is provided at the insulator film 6 on the source and drain regions, thus forming a source electrode 9 and a drain electrode 10.



ined 6/29/2009

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平4-3433

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)1月8日

H 01 L 21/337
29/808

7735-4M H 01 L 29/80

C

審査請求 未請求 請求項の数 1 (全4頁)

⑮ 発明の名称 化合物半導体接合型FET

⑯ 特 願 平2-103987

⑰ 出 願 平2(1990)4月19日

⑱ 発 明 者 相 馬 友 一 神奈川県横浜市神奈川区守屋町3丁目12番地 日本ビクター株式会社内

⑲ 出 願 人 日本ビクター株式会社 神奈川県横浜市神奈川区守屋町3丁目12番地

明 細 書

1. 発明の名称

化合物半導体接合型FET

2. 特許請求の範囲

半絶縁性結晶基板の表面部に活性層を形成し、この活性層の表面部に活性層とは異なる導電型のゲート領域を形成し、このゲート領域を挟んで両側にソース電極およびドレイン電極を形成した化合物半導体接合型FETにおいて、前記活性層の前記半絶縁性結晶基板側の不純物濃度を前記活性層の表面側の不純物濃度より高濃度に形成したことを特徴とする化合物半導体接合型FET。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は、化合物半導体接合型FET(以下、単にFETとも記す)の改良に関する。

(従来の技術)

第3図は、特開昭61-71675号公報で開示されたFETの模式断面図である。

従来のFET100は、GaAsからなる半絶縁

性結晶基板101の表面部に、下層102および上層103からなる2層構造のN型の活性層104を形成しており、上層103は下層102より不純物濃度が高濃度に形成されている。そして、活性層104の上に、SiN膜等の絶縁体層105を形成し、この絶縁体層105に設けた開口部からZn等のP型用不純物を拡散させてゲート領域106を形成し、このゲート領域106の上にゲート電極107を形成している。さらに、絶縁層105にソース、ドレイン用の開口部を設けて、ソース電極108およびドレイン電極109を形成している。110はソース電極108およびドレイン電極109と活性層104との界面に形成されたオーミックコンタクト層である。

活性層104のうち上層103は、通常 2×10^{17} cm⁻³程度のキャリア濃度となるよう形成されている。下層104は高抵抗バッファ層を形成するもので、この下層104は初期エピタキシャル成長層のFET特性への悪影響をさけることを目的として設けられている。

(発明が解決しようとする課題)

第3図に示した従来のFET100は、相互コンダクタンスを大きくするため上層103のキャリア濃度を高くしなければならないが、キャリア濃度を高くするとゲート接合容量の増加およびゲート耐圧の低下となり、これらはまた低雑音化の妨げとなる。

この発明はこのような課題を解決するためなされたもので、その目的はゲート耐圧を高め、ゲート接合容量を小さくして低雑音化を図った化合物半導体接合型FETを提供することにある。

(課題を解決するための手段)

前記課題を解決するためこの発明に係る化合物半導体接合型FETは、半絶縁性基板側の活性層の不純物濃度をこの活性層の表面側の不純物濃度より高濃度に形成したことを特徴とする。

(作用)

活性層の表面側を低キャリア濃度化することにより、①ゲート耐圧が高くなり、②リーク電流が減少し、③PN接合容量が小さくなる(g_m/c が大

る。絶縁体膜6に窓明けを行ない、この開口部から不純物を活性層4へ拡散させてP型のゲート領域7を形成する。

そして、ゲート領域7上にゲート電極8を形成した後、ソース及びドレイン領域上の絶縁体膜6に開口部を設けて、ソース電極9およびドレイン電極10を形成する。

次にこの発明の他の実施例について説明する。

第2図は他の実施例に係るFETの模式断面図である。

活性層4を下層4aおよび上層4bの2層に分けて形成するところまでは、第1の実施例と同じであり、このFET21は、活性層4のソースおよびドレイン領域部に下層4aへ達する高濃度領域22をイオン注入もしくは拡散法で形成したものである。

絶縁体膜6、ゲート領域7、および各電極8、9、10の工程および構造は第1図と同じである。

なお、各実施例とも活性層4を上層4bおよび

きくなる。 g_m は相互コンダクタンス、 c はPN接合容量)。これらの結果として、FETの低雑音化が実現される。

(実施例)

以下、この発明の実施例を添付図面に基づいて説明する。

第1図はこの発明に係る化合物半導体接合型FETの模式断面図である。

化合物半導体接合型FET1は、GaAsからなる半絶縁性結晶基板2の表面に高抵抗バッファ層3をエピタキシャル成長させ、さらにその上に不純物濃度の高いN型の下層4a、および、不純物濃度が下層4aよりも低い上層4bをエピタキシャル成長させて活性層4を形成する。上層4bのキャリア濃度および上層4bの厚さは目標とするFET特性が得られる範囲に設定する。

次に、活性層4上に、N⁺コンタクト層5を形成する。そして、ソースおよびドレインとなる領域以外のN⁺コンタクト層5をエッチングで除去した後に、全面にSiN等の絶縁体膜6を形成す

下層4aの2層にする構造について説明したが、上層4bと下層4aとの間に不純物濃度を徐々に変化させた傾斜層を設けてもよい。

(発明の効果)

以上説明したようにこの発明に係る化合物半導体接合型FETは、活性層の表面側を不純物濃度を活性層の基板側(下側)の不純物濃度より低濃度にしたので、ゲート耐圧が高くなり、リーク電流が減少し、PN接合容量が小さくなり、これらの結果としてこのFET自体が発生する雑音が低減される。

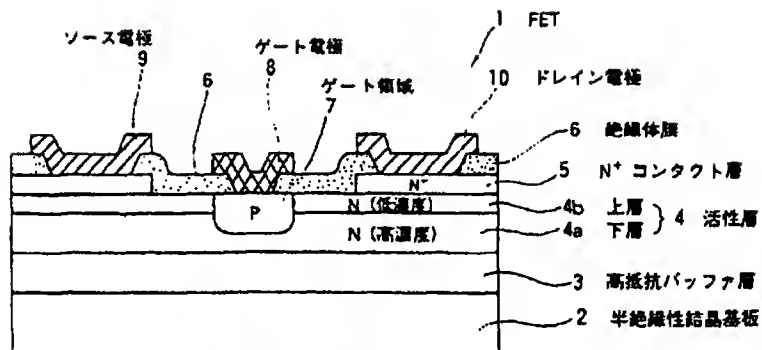
4. 図面の簡単な説明

第1図はこの発明に係る化合物半導体接合型FETの模式断面図、第2図は同FETの他の実施例を示す模式断面図、第3図は従来のFETの模式断面図である。

1、21…化合物半導体接合型FET、2…半絶縁性結晶基板、3…高抵抗バッファ層、4…活性層、4a…不純物濃度の高い下層、4b…不純物濃度の低い上層、7…ゲート領域、8…ゲート

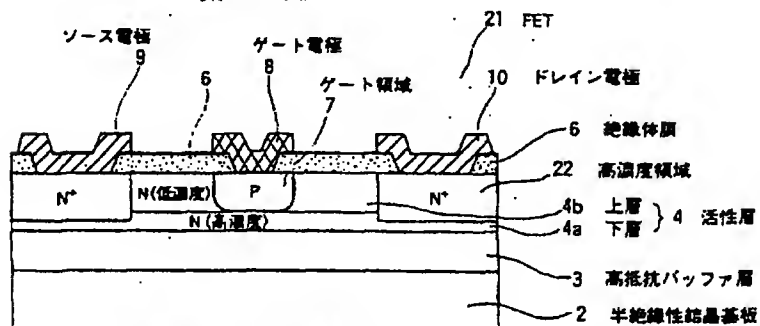
電極、9…ソース電極、10…ドレイン電極。

特許出願人 日本ビクター株式会社



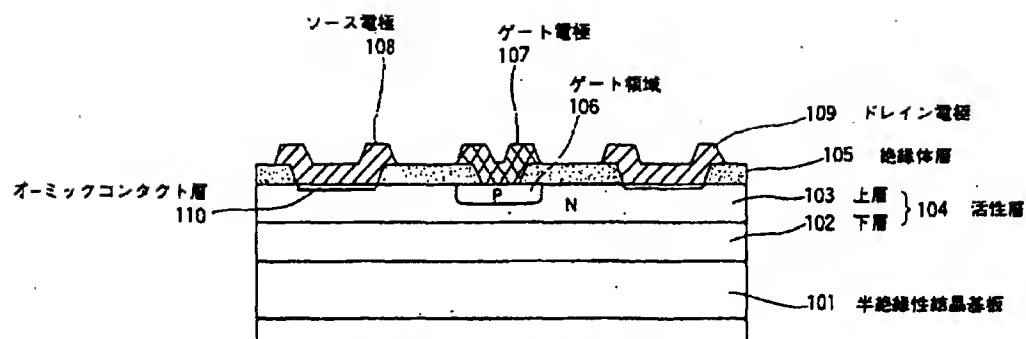
横式断面(第1実施例)

第1図



横式断面(第2実施例)

第2図



従来 FET の模式断面

第 3 図